



### Problema 3 (2P)

Sea un computador con 512 posiciones direccionables de 1 byte y memoria cache de 4 líneas con 2 bytes por línea que implementa una función de correspondencia asociativa por conjuntos de 2 vías. La política de reemplazo es FIFO. Describir la interpretación, desde el punto de vista de la cache, de las direcciones emitidas por procesador. Describir también el estado final de la memoria cache si el procesador ha ordenado la lectura de las siguientes posiciones de memoria: 00h, 01h, 07h, 08h, 30h, 31h, 34h, 37h, 40h, 41h, 45h, 46h

Posición de memoria	Contenido	Posición de memoria	Contenido
00h	02h	34h	34h
01h	12h	35h	22h
02h	23h	36h	24h
03h	12h	37h	25h
04h	34h	...	...
05h	43h	40h	54h
06h	32h	41h	53h
07h	45h	42h	33h
08h	43h	43h	14h
...	...	44h	44h
30h	45h	45h	43h
31h	23h	46h	35h
32h	43h	47h	13h
33h	43h	48h	34h

### Teoría 1.(1P)

Mejoras necesarias para convertir un procesador DLX básico en un segmentado.

### Teoría 2.(1P)

Instrucciones de Salto en los procesadores segmentados. Algoritmos de predicción.